



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0084502
Application Number

출 원 년 월 일 : 2002년 12월 26일
Date of Application DEC 26, 2002

출 원 인 : 주식회사 하이닉스반도체
Applicant(s). Hynix Semiconductor Inc.

2003 년 06 월 30 일



특 허 청

COMMISSIONER



1020020084502

출력 일자: 2003/7/1

【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.06.04
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2.
【사건의 표시】	
【출원번호】	10-2002-0084502
【출원일자】	2002.12.26
【심사청구일자】	2003.06.04
【발명의 명칭】	반도체소자 제조 방법
【제출원인】	
【접수번호】	1-1-2002-0430735-19
【접수일자】	2002.12.26
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

1020020084502

출력 일자: 2003/7/1

【첨부서류】

1. 보정내용을 증명하는 서류[발명의명칭, 발명의상
세한설명, 특허청구 범위, 도면 보정]_1통

【보정대상항목】 요약**【보정방법】** 정정**【보정내용】**

본 발명은 셀콘택 플리그 형성 후 주변회로영역의 절연막을 제거함에 따른 셀영역에서의 습식 용액의 침투로 인한 반도체소자의 불량을 방지할 수 있는 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판의 셀영역과 주변회로영역에 복수의 전도막패턴을 형성하는 단계; 상기 전도막패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 셀영역에서 상기 절연막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플리그를 형성하되, 이 때 상기 셀영역과 상기 주변회로영역 사이에 상기 절연막을 관통하여 상기 기판에 콘택된 더미패턴을 동시에 형성하는 단계; 상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 및 습식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 절연막을 제거하여 상기 주변회로영역의 상기 기판을 노출시키는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【보정대상항목】 발명(고안)의 명칭**【보정방법】** 정정**【보정내용】**

반도체소자 제조 방법{METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE}

1020020084502

출력 일자: 2003/7/1

【보정대상항목】 식별번호 5

【보정방법】 정정

【보정내용】

도 5의 (a)와 도 5의 (b)는 각각 종래기술과 본 발명의 일예를 비교 도시한
평면 SEM 사진.

【보정대상항목】 식별번호 24

【보정방법】 정정

【보정내용】

도 2를 참조하면, 활성층을 포함하는 기판(20)에 절연막(25) 패턴이 국부적
으로 배치되어 있으며, 절연막(25) 패턴과 교차되는 방향으로 게이트전극(G1,
G2)이 복수 배치되어 있다.

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

여기서, 도면부호 '27'은 플러그 형성을 위해 오픈되는 영역 즉, 콘택홀을
나타내며, X-X'은 셀영역을, Y-Y'은 주변회로영역을 나타낸다.

【보정대상항목】 식별번호 28

【보정방법】 정정

【보정내용】

게이트절연막(21)은 산화막 계열을 이용하고, 전도막(22)은 텅스텐, 텅스텐 질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크 용 절연막(23)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용 한다.

하드마스크용 절연막(23)으로 질화막 계열의 물질을 사용하는 것은, 산화막 계열인 총간절연용 절연막과의 식각선택비를 갖는 질화막 계열을 사용함으로써 플러그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 SAC 식각 공정에서 게이트전극 패턴(G1, G2)의 손실을 방지하기 위한 것이다.

【보정대상항목】 식별번호 31

【보정방법】 정정

【보정내용】

이어서, 절연막(25) 상에 셀콘택 오픈 마스크인 포토레지스트 패턴(25)을 형성한 다음, 포토레지스트 패턴(26)을 식각마스크로 절연막(25)을 선택적으로 식각하여 셀영역(X-X')에서 게이트전극 패턴(G1) 사이의 기판(20) 영역(예컨대, 소스/드레인 등의 불순물접합층)을 노출시키는 오픈부 즉, 콘택홀(27)을 형성한다(B-B' 방향으로 절취한 부분에서는 절연막(25) 패턴 사이의 기판(20) 영역이 노출됨).

1020020084502

출력 일자: 2003/7/1

【보정대상항목】 식별번호 36

【보정방법】 정정

【보정내용】

이어서, 게이트전극 패턴(G1, G2) 상부에서 절연막(25)이 일부 남는 연마 타겟으로 CMP 공정을 실시하여 절연막(25)에 의해 분리되어 서로 격리된 복수의 플러그(28)를 형성한다.

【보정대상항목】 식별번호 37

【보정방법】 정정

【보정내용】

도 3c는 복수의 분리된 플러그(28)가 형성된 공정 단면을 나타낸다.

【보정대상항목】 식별번호 43

【보정방법】 정정

【보정내용】

상기의 목적을 달성하기 위해 본 발명은, 기판의 셀영역과 주변회로영역에 복수의 전도막패턴을 형성하는 단계; 상기 전도막패턴이 형성된 전면에 절연막을 형성하는 단계; 상기 셀영역에서 상기 절연막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플러그를 형성하되, 이 때 상기 셀영역과 상기 주변회로 영역 사이에 상기 절연막을 관통하여 상기 기판에 콘택된 더미패턴을 동시에 형성하는 단계; 상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 및 습식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로

영역의 상기 절연막을 제거하여 상기 주변회로영역의 상기 기판을 노출시키는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【보정대상항목】 식별번호 48

【보정방법】 정정

【보정내용】

게이트절연막(41)은 산화막 계열을 이용하고, 게이트전극용 전도막(42)은 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용 절연막(43)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다.

하드마스크용 절연막(43)으로 질화막 계열을 사용하는 것은, 산화막 계열인 층간절연용 절연막과의 식각선택비를 갖는 질화막 계열을 사용함으로써 플러그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 SAC 식각공정에서 게이트전극 패턴(G1, G2)의 손실을 방지하기 위한 것이다.

【보정대상항목】 식별번호 60

【보정방법】 정정

【보정내용】

따라서, 셀영역(X-X')과 주변회로영역(Y-Y') 사이(C-C')에 플러그(47')가 형성된다.

여기서, 플러그(48')는 더미패턴으로 셀영역(X-X')에서의 플러그(48)와는 달리 기판(40)의 활성영역 등과의 전기적 도통을 위한 목적이 아니고, 후속 PLSD 공정

에서 주변회로영역(Y-Y')의 절연막(45) 제거시 습식 용액에 의한 셀영역(X-X')에 서의 침투를 방지하기 위한 것이다.

【보정대상항목】 식별번호 66

【보정방법】 정정

【보정내용】

한편, 셀영역(X-X')과 주변회로영역(Y-Y') 사이(C-C')에서 더미패턴으로 형성된 플러그(48')는 습식 식각 공정시 습식 용액이 셀영역으로 침투하는 것을 방지한다.

만일, 습식 용액이 침투한다고 한다고 하여도 전술한 습식 용액은 주로 산화막 식각에 사용되는 것이므로, 플러그(48') 자체에 약간의 어택이 발생할지라도 셀 영역(X-X')으로의 침투를 방지할 수 있으며, 플러그(48')는 더미패턴이므로 어택이 발생한다고 하여도 반도체소자의 전기적 특성에는 어떠한 영향도 끼치지 않는다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

기판의 셀영역과 주변회로영역에 복수의 전도막패턴을 형성하는 단계;
상기 전도막패턴이 형성된 전면에 절연막을 형성하는 단계;



1020020084502

출력 일자: 2003/7/1

상기 셀영역에서 상기 절연막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플러그를 형성하되, 이 때 상기 셀영역과 상기 주변회로영역 사이에 상기 절연막을 관통하여 상기 기판에 콘택된 더미패턴을 동시에 형성하는 단계; 상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 및 습식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 절연막을 제거하여 상기 주변회로영역의 상기 기판을 노출시키는 단계를 포함하는 반도체소자 제조방법.

【보정대상항목】 청구항 2

【보정방법】 정정

【보정내용】

제 1 항에 있어서,
상기 전도막패턴은, 게이트전극 패턴인 것을 특징으로 하는 반도체소자 제조방법.

1020020084502

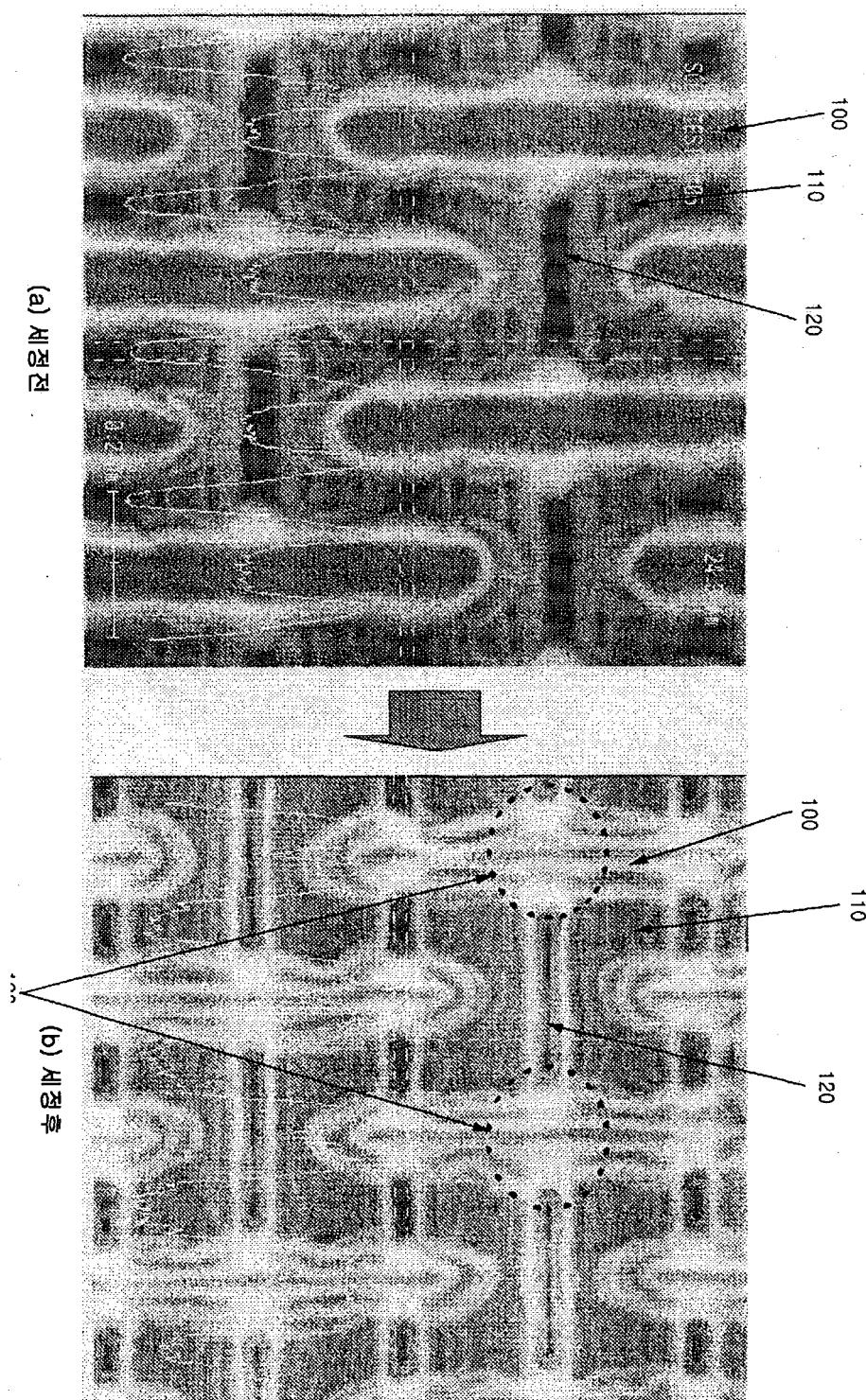
출력 일자: 2003/7/1

【보정대상항목】 도 1

【보정방법】 정정

【보정내용】

【도 1】





1020020084502

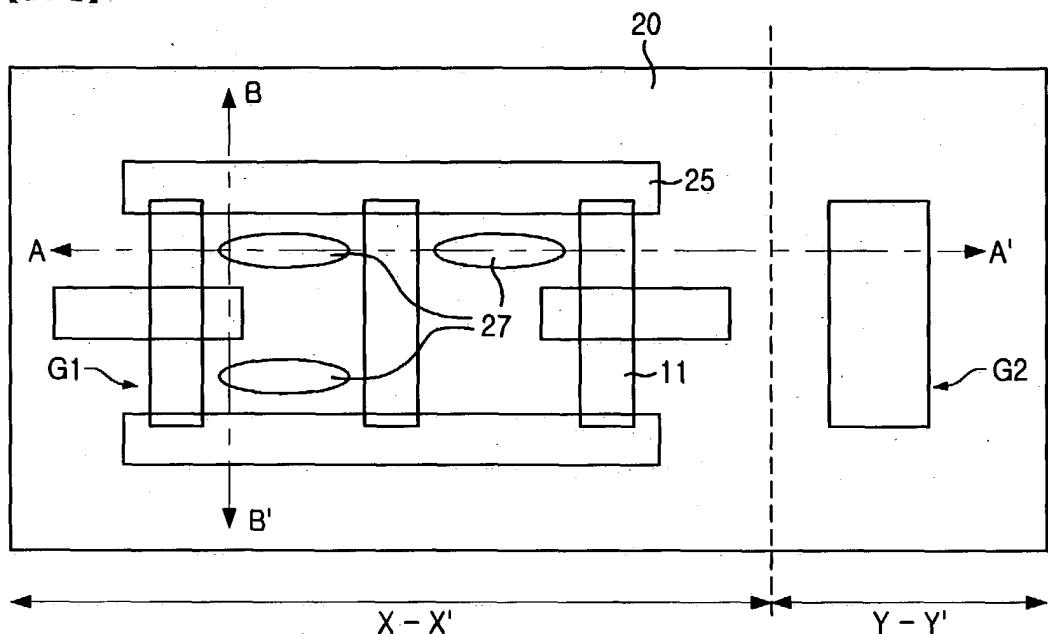
출력 일자: 2003/7/1

【보정대상항목】 도 2

【보정방법】 정정

【보정내용】

【도 2】



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0029
【제출일자】	2002.12.26
【발명의 명칭】	반도체소자 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATION OF BITLINE OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE,Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	이민석
【성명의 영문표기】	LEE,Min Suk
【주민등록번호】	720815-1009119
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 121 상록우성아파트 305-1302
【국적】	KR

1020020084502

출력 일자: 2003/7/1

【발명자】

【성명의 국문표기】

김상익

【성명의 영문표기】

KIM, Sang Ik

【주민등록번호】

571020-1162123

【우편번호】

463-480

【주소】

경기도 성남시 분당구 금곡동 청솔마을 유천화인아파트
203-1503

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인
성 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

2 면 2,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

31,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 셀콘택 플러그 형성 후 주변회로영역의 절연막을 제거함에 따른 셀영역에서의 습식 용액의 침투로 인한 반도체소자의 불량을 방지할 수 있는 반도체소자 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판의 셀영역과 주변회로영역에 다수의 전도막패턴을 형성하는 단계; 상기 전도막패턴이 형성된 전면에 평탄화된 BPSG막을 형성하는 단계; 상기 BPSG막 상에 TEOS막 또는 HDP 산화막을 형성하는 단계; 상기 셀영역에서 상기 TEOS막 또는 HDP 산화막과 상기 BPSG막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플러그를 형성하되, 이 때 상기 셀영역과 상기 주변회로영역 사이에 상기 절연막을 관통하여 상기 기판에 콘택된 더미패턴을 도시에 형성하는 단계; 상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 및 습식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 상기 TEOS막 또는 HDP 산화막과 상기 BPSG막을 제거하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

【대표도】

도 4d

【색인어】

SAC, 플러그, 침투(Enchroachment), 게이트전극 패턴, 절연막, 습식 식각.

【명세서】**【발명의 명칭】**

반도체소자 제조 방법{METHOD FOR FABRICATION OF BITLINE OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 SAC 식각 후 콘택 개구부 확장을 위한 세정 전후의 평면 SEM 사진.

도 2는 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도.

도 3a 내지 도 3d는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 종래기술에 따른 반도체소자의 공정 단면도.

도 4a 내지 도 4d는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 본 발명의 일실시 예에 따른 반도체소자의 공정 단면도.

도 5의 (a)와 도 5의 (b)는 각각 종래기술과 본 발명의 일예를 비교 도시한 평면 SEM 사진

* 도면의 주요부분에 대한 부호의 설명 *

40 : 기판 41 : 게이트절연막

42 : 게이트전극용 전도막 43 : 하드마스크용 절연막

44 : 식각정지막 44' : 식각된 식각정지막

45 : 절연막 48 : 플러그

48' : 더미패턴(플러그) 49 : 포토레지스트 패턴

G1, G2 : 게이트전극 패턴

50 : TEOS막 또는 HDP 산화막과 BPSG막이 제거된 상태

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체소자 제조방법에 관한 것으로 특히, 셀 콘택 패드 형성 후에 주변 회로영역 상에 소스/드레인 형성(Post LP1 Source Drain; PLSD) 공정시 주변회로영역에 서의 절연막 제거 방법에 관한 것이다.
- <15> 반도체소자의 집적도가 증가함에 따라 공정 마진이 절대적으로 부족해지고 있다, 이에 따라 셀영역의 콘택 형성시 자기정렬콘택(Self Align Contact; 이하 SAC이라 함) 식각 방식이 도입되었다. 하지만, SAC 식각 방식으로 식각할 경우에 콘택 저면의 면적(즉, 콘택되는 면적)의 감소는 불가피하며, 집적도가 증가할수록 피식각층의 종횡비(Aspect ratio)는 커지게 되며, 이러한 종횡비의 증가는 결국 콘택 면적을 더욱 감소시키는 원인이 된다.
- <16> 따라서, 통상의 SAC 식각에 의한 셀콘택 형성 후에는 콘택 저면의 오픈되는 면적(콘택 개구부)을 최대로 확보하기 위해 습식 세정 공정을 실시하여 절연막으로 사용되는 BPSG(Boro Phospho Silicate Glass)막을 일부 식각한다.
- <17> 도 1은 SAC 식각 후 콘택 개구부 확장을 위한 세정 전후의 평면 SEM 사진을 도시한다.



1020020084502

출력 일자: 2003/7/1

<18> 도 1의 (a)는 SAC 식각 공정 후 복수의 전도막패턴(110) 사이에 복수의 콘택홀(120)이 형성된 평면을 도시하고 있으며, 콘택홀(120)에 전도막패턴(110)과 교차하는 방향으로 콘택홀(120)과 인접하여 복수의 절연막패턴(100)이 형성되어 있다.

<19> 여기서, 전도막패턴(110)은 게이트전극 패턴이나, 비트라인 패턴 또는 금속배선을 포함하며, 도면에서는 라인 형태(Line type)의 패턴을 그 일예로 하였다.

<20> 도 1의 (b)는 도 1의 (a)의 공정 후 콘택홀(120)의 개구부를 확장하기 위해 습식 세정을 실시한 후의 공정 평면을 도시하고 있다.

<21> 이러한 습식 세정의 경우 산화막 계열인 절연막패턴(100)의 식각 특성을 고려하여 통상 불산계 용액을 사용한다. 하지만, 이러한 불산계 용액의 사용에 따라 절연막패턴(100)의 침식(130) 현상이 발생하며, 이로 인해 반도체소자의 전체적인 절연 특성이 열화된다.

<22> 한편, 반도체 메모리 예컨대, DRAM(Dynamic Random Access Memory) 소자의 제조 공정은, 전술한 바와 같이 셀영역에 콘택홀을 형성한 다음 선택적 에피택셜 성장(Selective Epitaxial Growth; 이하 SEG라 함) 또는 증착 공정을 통해 콘택홀을 통해 하부(예컨대, 기판의 소스/드레인 영역)과 전기적으로 도통되는 플러그를 형성한 다음, 주변회로영역에 대한 PLSD 공정을 실시한다.

<23> 도 2는 플러그 형성을 위한 SAC 공정이 완료된 반도체소자를 도시한 평면도이다.

<24> 도 2를 참조하면, 활성층을 포함하는 기판(20)에 절연막(25) 패턴이 국부적으로 배치되어 있으며, 절연막(25) 패턴과 교차되는 방향으로 게이트전극(G1, G2)이 다수 배치되어 있다.

- <25> 여기서, 도면부호 '12'는 플러그 형성을 위해 오픈되는 영역 즉, 콘택홀을 나타내며, X-X'은 셀영역을, Y-Y'은 주변회로영역을 나타낸다.
- <26> 도 3a 내지 도 3d는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 종래기술에 따른 반도체소자의 공정 단면도인 바, 이하 도 2a 내지 도 2d를 참조하여 종래기술에 따른 반도체소자 제조 공정을 살펴본다.
- <27> 먼저, 도 3a에 도시된 바와 같이, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(20) 상에 게이트절연막(21)과 게이트전극용 전도막(22)과 하드마스크용 절연막(23)을 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 하드마스크용 절연막(23)/게이트전극용 전도막(22)/게이트절연막(21)의 적층 구조의 게이트전극 패턴(G1, G2)을 형성한다.
- <28> 게이트절연막(21)은 산화막 계열을 이용하고, 전도막(22)은 텅스텐, 텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용 절연막(23)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다. 이는 산화막 계열인 층간절연용 절연막과의 식각선택비를 갖는 질화막 계열을 사용함으로써, 플러그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 SAC 식각 공정에서 게이트전극 패턴(G1, G2)의 손실을 방지하기 위한 것이다.
- <29> 이어서, 질화막 계열의 식각정지막(24)을 증착하는 바, 게이트전극 패턴(G1, G2)이 형성된 프로파일을 따라 얇게 증착되도록 한다.

- <30> 식각정지막(24)이 형성된 기판(20) 전면에 충간절연 및 게이트전극 패턴(G1, G2) 간을 분리시키기 위한 산화막 계열의 절연막(25)을 증착하며, 절연막(25)은 BPSG(Boro Phospho Silicate Glass)막을 사용한다.
- <31> 이어서, 절연막(25) 상에 셀콘택 오픈 마스크인 포토레지스트 패턴(25)을 형성한 다음, 포토레지스트 패턴(26)을 식각마스크로 절연막(25)을 선택적으로 식각하여 셀영역 (X-X')에서 게이트전극 패턴(G1) 사이의 기판(20) 영역(예컨대, 소스/드레인 등의 불순 물접합층)을 노출시키는 오픈부(27)를 형성한다(B-B' 방향으로 절취한 부분에서는 절연 막(25) 패턴 사이의 기판(20) 영역이 노출됨).
- <32> 도 3b는 플러그 형성을 위한 오픈부(27)가 형성된 공정 단면을 나타낸다.
- <33> 이어서, 포토레지스트 스트립(Photoresist strip) 공정을 실시하여 포토레지스트 패턴(26)을 제거하고, 불산계 용액을 이용한 세정 공정을 실시하여 식각 부산물을 제거 하며, 오픈부(27)의 개구부를 확장시킨다.
- <34> 오픈부(27)가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부 (26) 형성시 노출된 기판(20)에 전기적으로 도통되도록 한다.
- <35> 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용하며, 그 하 부에 Ti/TiN 등의 베리어막을 포함할 수도 있다.
- <36> 이어서, 게이트전극 패턴(G1, G2) 상부에서 절연막(25)이 일부 남는 연마 타겟으로 CMP 공정을 실시하여 절연막(25)에 의해 분리되어 서로 격리된 다수의 플러그(28)를 형 성한다.
- <37> 도 3c는 다수의 분리된 플러그(28)가 형성된 공정 단면을 나타낸다.



1020020084502

출력 일자: 2003/7/1

<38> 이어서, 도 3d에 도시된 바와 같이 습식 식각 공정을 통해 주변회로영역(Y-Y')에서의 절연막(25)을 제거한다.

<39> 구체적으로, 셀영역(X-X') 상부 만을 마스킹하는 포토레지스트 패턴(29)을 형성한 다음, BOE(Buffered Oxide Etchant) 또는 HF 등의 습식 용액을 사용하여 주변회로영역(Y-Y')에서의 절연막(25)을 선택적으로 제거한다.

<40> 한편, 전술한 습식 용액을 사용한 식각 공정 중 습식 용액이 주변회로영역(Y-Y')에 인접한 셀영역(X-X')으로 습식 용액이 침투(Enchroachment)하게 된다(31).

<41> 이로 인해 셀영역(X-X')에서의 절연막(25)이 과도 식각되어 플리그가 노출되된다(32). 특히, 절연막(25)으로 주로 사용되는 BPSG막의 경우 포토레지스트와의 접착력이 나쁘기 때문에 BPSG막과 포토레지스트 패턴 사이의 틈새를 통해 습식 용액이 침투(31)하여 공극(30)을 발생시킨다. 이러한 공극(30)은 셀 분리를 위한 CMP 공정시 CMP 연마제가 끼거나 이로 인해 비트라인콘택 형성을 위한 SAC 식각 공정에서 비트라인 간의 전기적 단락을 유발하는 원인이 되기도 한다.

【발명이 이루고자 하는 기술적 과제】

<42> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 셀콘택 플리그 형성 후 주변회로영역의 절연막을 제거함에 따른 셀영역에서의 습식 용액의 침투로 인한 반도체소자의 불량을 방지할 수 있는 반도체소자 제조방법을 제공하는데 그 목적 이 있다.

【발명의 구성 및 작용】

<43> 상기의 목적을 달성하기 위해 본 발명은, 기판의 셀영역과 주변회로영역에 다수의 전도막패턴을 형성하는 단계; 상기 전도막패턴이 형성된 전면에 평탄화된 BPSG막을 형성하는 단계; 상기 BPSG막 상에 TEOS막 또는 HDP 산화막을 형성하는 단계; 상기 셀영역에 서 상기 TEOS막 또는 HDP 산화막과 상기 BPSG막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플러그를 형성하되, 이 때 상기 셀영역과 상기 주변회로영역 사이에 상기 절연막을 관통하여 상기 기판에 콘택된 더미패턴을 도시에 형성하는 단계; 상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 및 습식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 상기 TEOS막 또는 HDP 산화막과 상기 BPSG막을 제거하는 단계를 포함하는 반도체소자 제조방법을 제공한다.

<44> 본 발명은, 절연막으로 주로 사용되는 BPSG막의 포토레지스트와의 나쁜 접착 특성으로 인해 PLSD 공정에서의 절연막과 포토레지스트 패턴 사이로 습식 용액이 침투하여 소자 불량을 초래하는 것을 방지하기 위해 셀콘택 플러그 형성시 셀영역과 주변회로영역 사이에 더미패턴을 형성함으로써, PLSD 공정에서의 습식 용액의 침투에 의한 소자 불량을 방지하고자 한다.

<45> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.



1020020084502

출력 일자: 2003/7/1

<46> 도 4a 내지 도 4d는 도 1을 각각 A-A' 및 B-B' 방향으로 절취한 본 발명의 일실시

예에 따른 반도체소자의 공정 단면도인 바, 이하 도 4a 내지 도 4d를 참조하여 본 발명
에 따른 반도체소자 제조 공정을 살펴본다.

<47> 먼저, 도 4a에 도시된 바와 같이, 반도체소자를 이루기 위한 여러 요소가 형성된
기판(40) 상에 게이트절연막(41)과 게이트전극용 전도막(42)과 하드마스크용 절연막(43)
을 차례로 증착한 후, 게이트전극 마스크를 이용한 사진식각 공정을 실시하여 하드마스
크용 절연막(43)/게이트전극용 전도막(42)/게이트절연막(41)의 적층 구조의 게이트전극
패턴(G1, G2)을 형성한다.

<48> 게이트절연막(41)은 산화막 계열을 이용하고, 게이트전극용 전도막(42)은 텅스텐,
텅스텐질화막 또는 텅스텐 실리사이드 등을 단독 또는 적층하여 사용한다. 하드마스크용
절연막(43)은 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열을 사용한다. 이는
산화막 계열인 층간절연용 절연막과의 식각선택비를 갖는 질화막 계열을 사용함으로써,
플러그 형성을 위한 SAC 공정에서 식각 프로파일을 얻을 수 있도록 함과 동시에 SAC 식
각 공정에서 게이트전극 패턴(G1, G2)의 손실을 방지하기 위한 것이다.

<49> 이어서, 질화막 계열의 식각정지막(44)을 증착하는 바, 게이트전극 패턴(G1, G2)이
형성된 프로파일을 따라 얇게 증착되도록 한다.

<50> 식각정지막(44)이 형성된 기판(40) 전면에 층간절연 및 게이트전극 패턴(G1, G2)
간을 분리시키기 위한 산화막 계열의 절연막(45)을 증착한다.



1020020084502

출력 일자: 2003/7/1

<51> 여기서, 절연막은 BPSG(Boro Phospho Silicate Glass)막, TEOS(Tetra ethyl Ortho Silicate)막 또는 HDP(High Density Plasma) 산화막 등을 단독 또는 적층한 것을 포함한다.

<52> 여기서, C-C'은 셀영역(X-X')과 주변회로영역(Y-Y') 사이의 영역으로서 본 실시예에서 플러그 물질 형성시 더미패턴이 형성될 예정 영역이기도 하다.

<53> 이어서, 절연막(45) 상에 셀콘택 오픈 마스크인 포토레지스트 패턴(46)을 형성한 다음, 포토레지스트 패턴(46)을 식각마스크로 절연막(45)을 선택적으로 식각하여 셀영역(X-X')에서 게이트전극 패턴(G1) 사이의 기판(40) 영역(예컨대, 소스/드레인 등의 불순물 접합층)을 노출시키는 오픈부(47)를 형성한다(B-B' 방향으로 절취한 부분에서는 절연막(45) 패턴 사이의 기판(40) 영역이 노출됨).

<54> 이 때, 셀영역(X-X')과 주변회로영역(Y-Y') 사이의 영역으로서 플러그 물질 형성시 더미패턴이 형성될 예정 영역(C-C')에서도 기판(40) 표면이 노출되는 오픈부(47')가 형성된다.

<55> 도 4b는 플러그 형성을 위한 오픈부(47)와 더미패턴이 형성될 영역에 오픈부(47') 가 형성된 공정 단면을 나타낸다.

<56> 이어서, 포토레지스트 스트립 공정을 실시하여 포토레지스트 패턴(46)을 제거하고, 세정 공정을 실시하여 식각 부산물을 제거하며, 오픈부(47, 47')의 하부 폭을 확장시킨다..

<57> 오픈부(47, 47')가 형성된 전면에 플러그 형성을 위한 전도성 물질을 증착하여 오픈부(47, 47') 형성시 노출된 기판(40)에 전기적으로 도통되도록 한다. 이어서, 게이트



1020020084502

출력 일자: 2003/7/1

전극 패턴(G1, G2) 상부에서 절연막(45)이 일부 남는 연마 타겟으로 CMP 공정을 실시하여 절연막(45)에 의해 분리되어 서로 격리된 복수의 플러그(48, 48')를 형성한다.

<58> 플러그 물질은 통상적으로 사용되는 폴리실리콘이나, 텅스텐 등을 사용하며, 그 하부에 Ti/TiN 등의 베리어막을 포함할 수도 있다.

<59> 전술한 플러그 물질을 증착하는 방식 이외에 선택적 에피택셜 성장(Selective Epitaxial Growth; 이하 SEG라 함) 방식을 사용할 수도 있다.

<60> 따라서, 셀영역(X-X')과 주변회로영역(Y-Y') 사이(C-C')에 플러그(47')가 형성된다. 플러그(48')은 더미패턴으로 셀영역(X-X')에서의 플러그(48)와는 달리 기판(40)의 활성영역 등과의 전기적 도통을 위한 목적이 아니고, 후속 PLSD 공정에서 주변회로영역(Y-Y')의 절연막(45) 제거시 습식 용액에 의한 셀영역(X-X')에서의 침투를 방지하기 위한 것이다.

<61> 여기서, 더미패턴이 형성되는 셀영역(X-X')과 주변회로영역(Y-Y') 사이(C-C')는 1 μm ~ 10 μm 의 폭을 갖는 것이 바람직하다.

<62> 도 4c는 분리된 복수의 플러그(48, 48')가 형성된 공정 단면을 나타낸다.

<63> 이어서, 도 4d에 도시된 바와 같이 습식 식각 공정을 통해 주변회로영역(Y-Y')에서의 절연막(45)을 도면부호 '50'과 같이 제거한다.

<64> 구체적으로, 셀영역(X-X') 상부 만을 마스킹하는 포토레지스트 패턴(49)을 형성한 다음, 포토레지스트 패턴(49)을 식각마스크로 주변회로영역(Y-Y')에서의 절연막(45)을 제거한다.

<65> 이 때, 습식 식각 용액으로 BOE 또는 HF 등의 습식 용액을 사용한다.

<66> 한편, 셀영역(X-X')과 주변회로영역(Y-Y') 사이(C-C')에서 더미패턴으로 형성된 플러그(48')는 습식 식각 공정시 습식 용액이 셀영역으로 침투하는 것을 방지한다. 만일, 습식 용액이 침투한다고 한다고 하여도 전술한 습식 용액은 주로 산화막 식각에 사용되는 것이므로, 플러그(48') 자체에 약간의 어택이 발생할지라도 셀영역(X-X')으로의 침투를 방지할 수 있으며, 플러그(48')는 더미패턴이므로 어택이 발생한다고 하여도 반도체 소자의 전기적 특성에는 어떠한 영향도 끼치지 않는다.

<67> 도 5의 (a)와 도 5의 (b)는 각각 종래기술과 본 발명의 일예를 비교 도시한 평면 SEM 사진이다.

<68> 도 5의 (a)를 참조하면, 셀영역(X-X')과 그 주위의 주변회로영역(Y-Y')에 복수의 패턴(51)이 형성되어 있다. 한편, 전술한 바와 같이 PLSD 공정에서 주변회로영역(Y-Y')에 인접한 셀영역(X-X')에서 습식 용액에 의한 침투(50)가 발생되었음을 확인할 수 있다

<69> 반면, 도 5의 (b)를 참조하면, 셀영역(X-X')과 주변회로영역(Y-Y') 사이의 C-C' 영역에 더미패턴(52)을 형성함으로써, 셀영역(X-X')의 주변회로영역(Y-Y')과 인접한 영역에서 습식 용액에 의한 침투가 발생되지 않았음을 확인할 수 있다.

<70> 전술한 바와 같이 이루어지는 본 발명은, 셀콘택 플러그를 형성할 때, 셀영역과 주변회로영역 사이의 일정 영역에 플러그 형성과 동일 공정으로 플러그 형태의 더미패턴을 형성함으로써, 이를 통해 PLSD 공정의 주변회로영역에서 절연막을 제거하는 공정에서



1020020084502

출력 일자: 2003/7/1

습식 용액이 침투하여 소자 불량을 초래하는 것을 방지할 수 있음을 실시예를 통해 알아보았다.

<71> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<72> 상술한 바와 같은 본 발명은, 주변회로영역에서의 절연막 제거시 셀영역에서의 습식 용액의 침투에 따른 소자 특성 열화를 방지할 수 있어, 궁극적으로 반도체소자의 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.



1020020084502

출력 일자: 2003/7/1

【특허청구범위】

【청구항 1】

기판의 셀영역과 주변회로영역에 다수의 전도막패턴을 형성하는 단계;

상기 전도막패턴이 형성된 전면에 평탄화된 BPSG막을 형성하는 단계;

상기 BPSG막 상에 TEOS막 또는 HDP 산화막을 형성하는 단계;

상기 셀영역에서 상기 TEOS막 또는 HDP 산화막과 상기 BPSG막을 관통하여 상기 전도막패턴 사이의 상기 기판에 콘택된 플러그를 형성하되, 이 때 상기 셀영역과 상기 주변회로영역 사이에 상기 절연막을 관통하여 상기 기판에 콘택된 더미패턴을 도시에 형성하는 단계;

상기 셀영역을 마스킹하는 포토레지스트 패턴을 형성하는 단계; 및

습식 식각 공정을 통해 상기 포토레지스트 패턴을 식각마스크로 상기 주변회로영역의 상기 TEOS막 또는 HDP 산화막과 상기 BPSG막을 제거하는 단계
를 포함하는 반도체소자 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 전도막패턴은 게이트전극 패턴인 것을 특징으로 하는 반도체소자 제조방법.

【청구항 3】

제 1 항에 있어서,



1020020084502

출력 일자: 2003/7/1

상기 습식 식각하는 단계에서, BOE 또는 HF를 사용하는 것을 특징으로 하는 반도체
소자 제조방법.

【청구항 4】

제 1 항에 있어서,

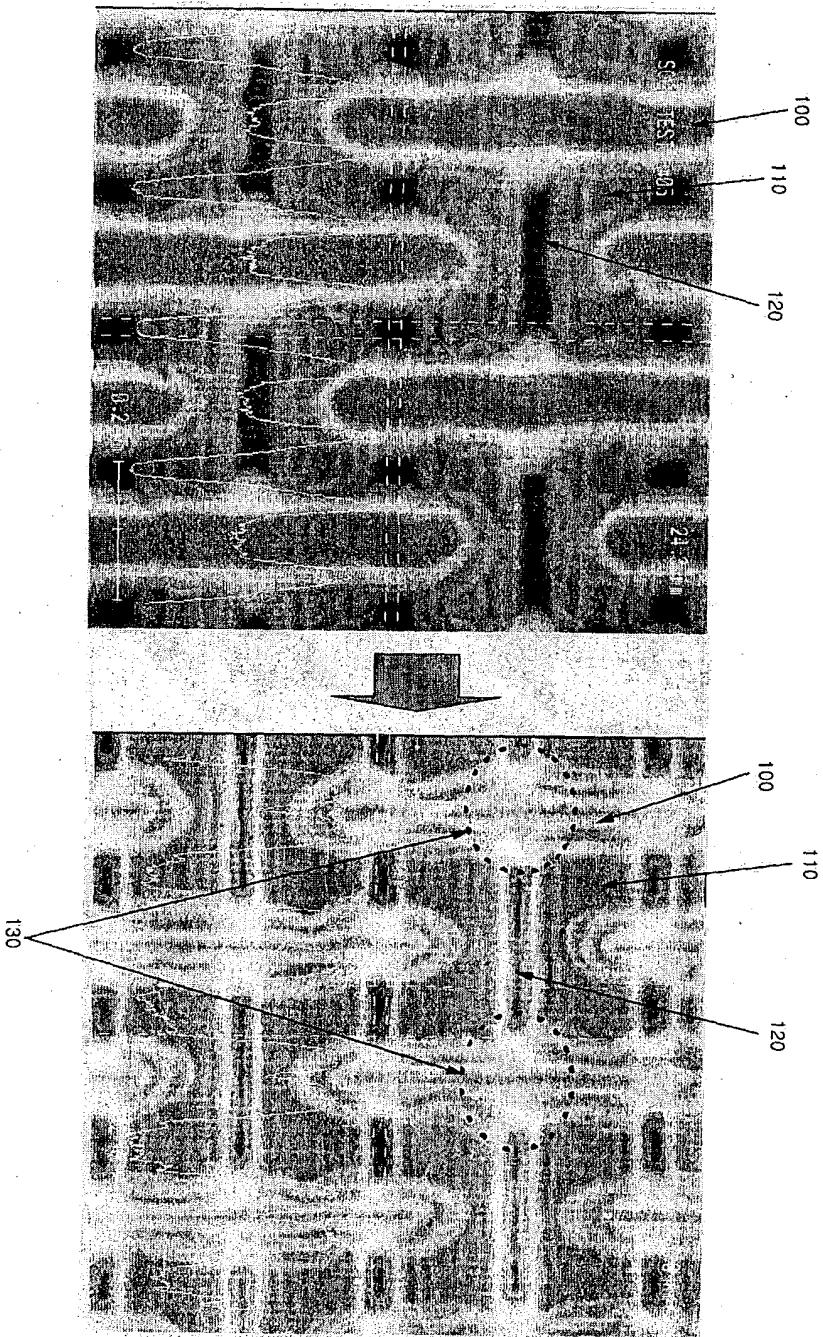
상기 더미패턴이 형성되는 영역은 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 폭을 갖는 것을 특징으로 하는
반도체소자 제조방법.

1020020084502

출력 일자: 2003/7/1

【도면】

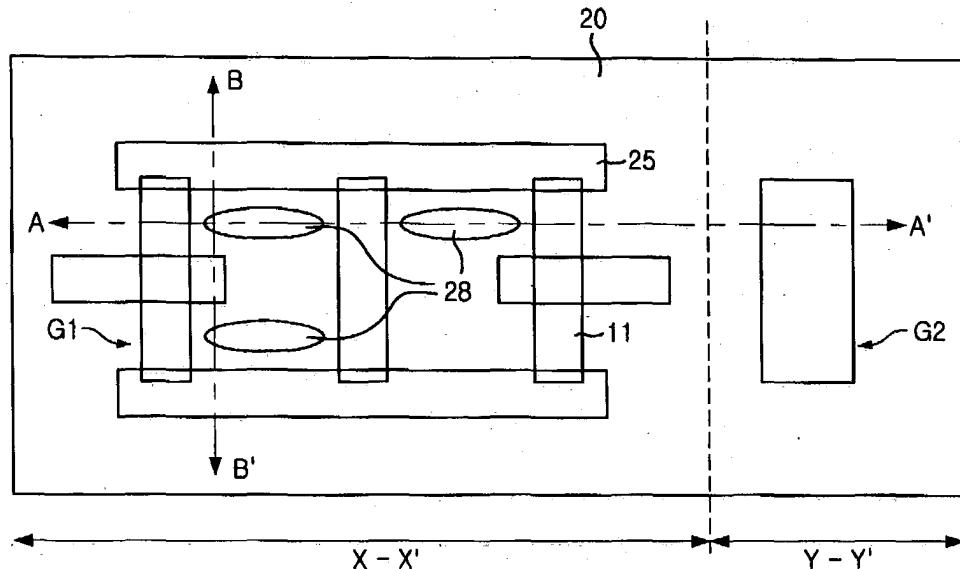
【도 1】



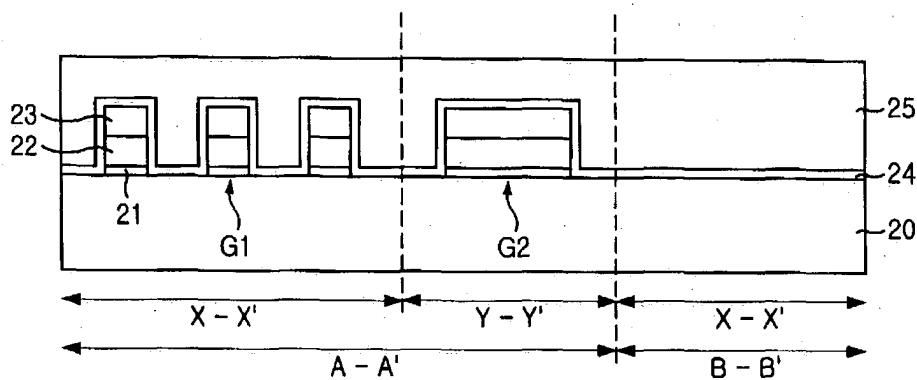
1020020084502

출력 일자: 2003/7/1

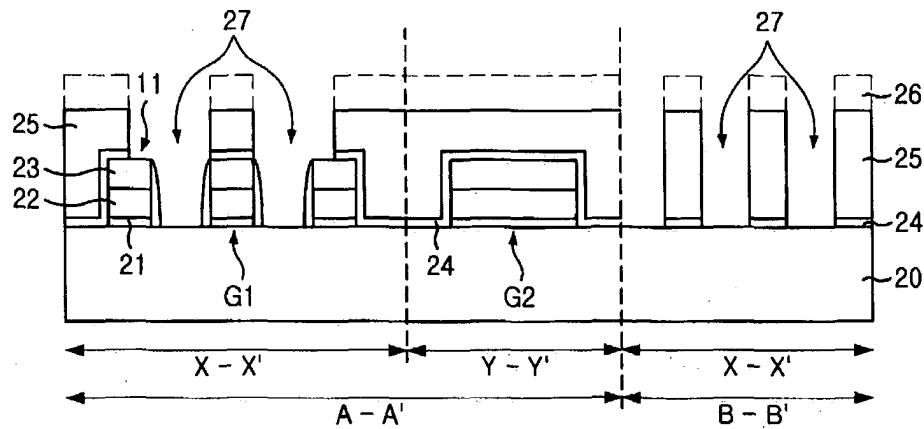
【도 2】



【도 3a】



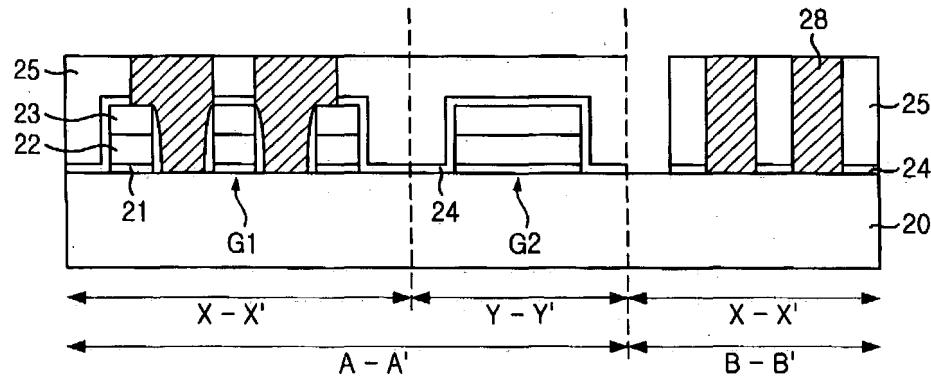
【도 3b】



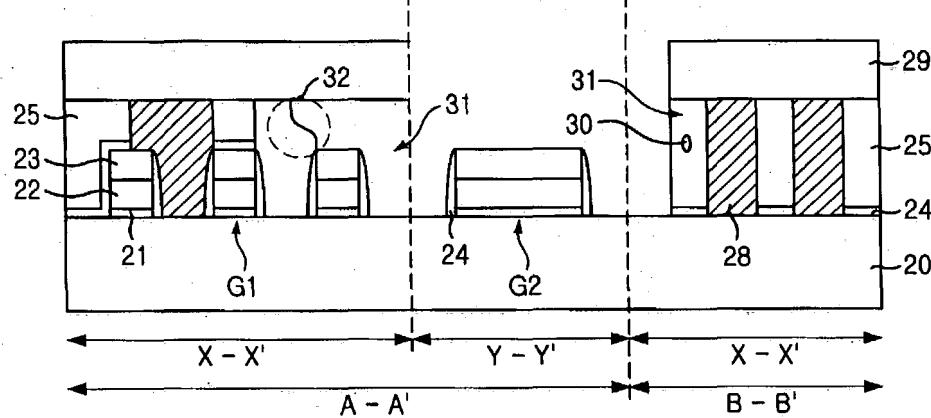
1020020084502

출력 일자: 2003/7/1

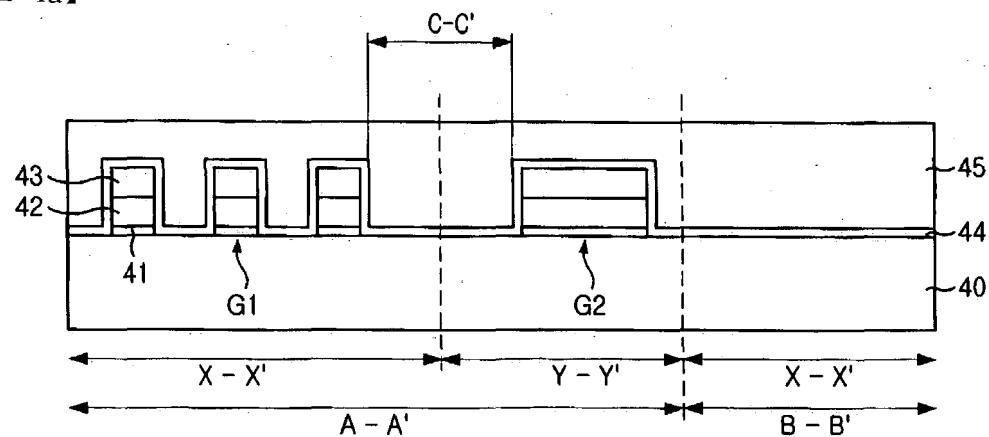
【도 3c】



【도 3d】



【도 4a】

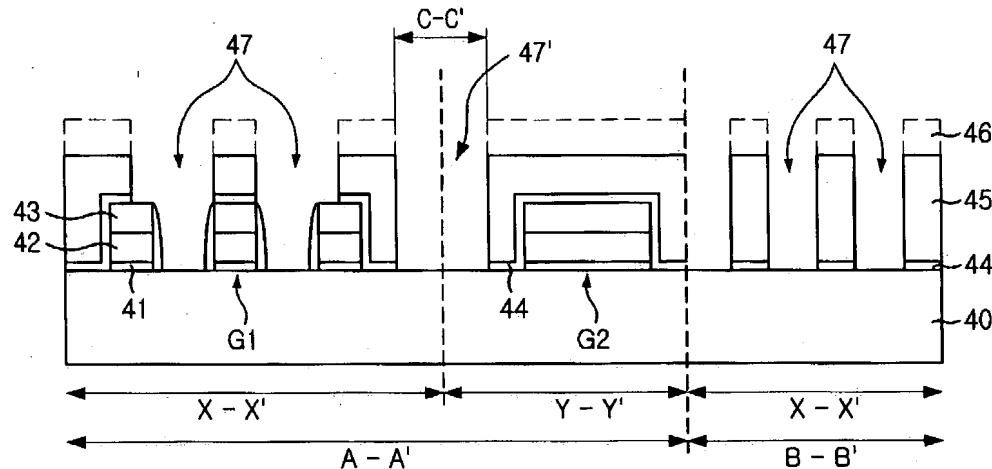




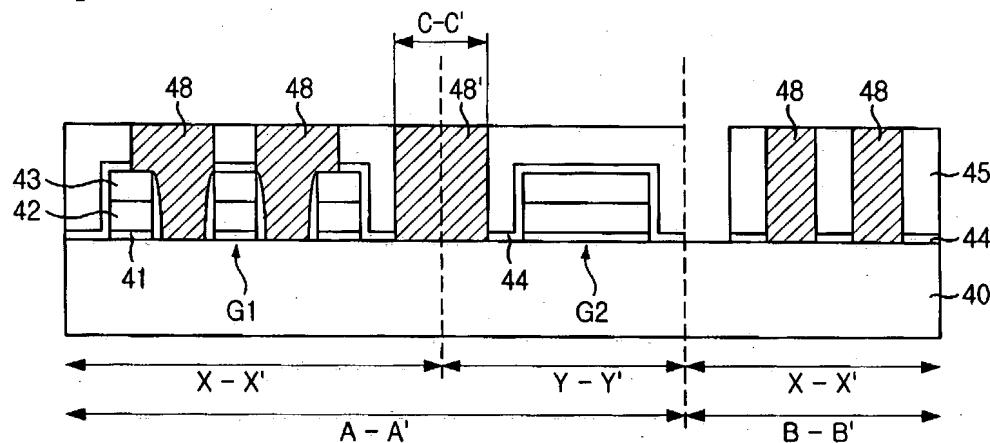
1020020084502

출력 일자: 2003/7/1

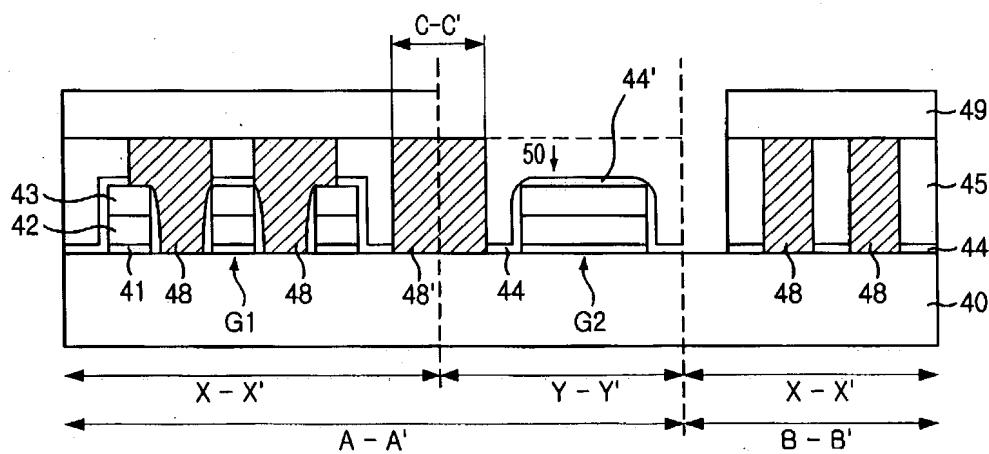
【도 4b】



【도 4c】



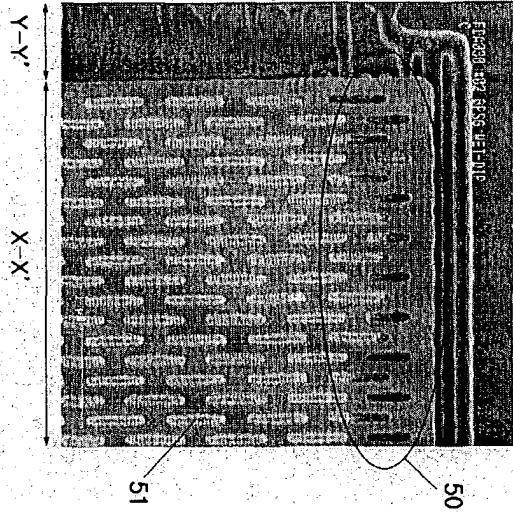
【도 4d】



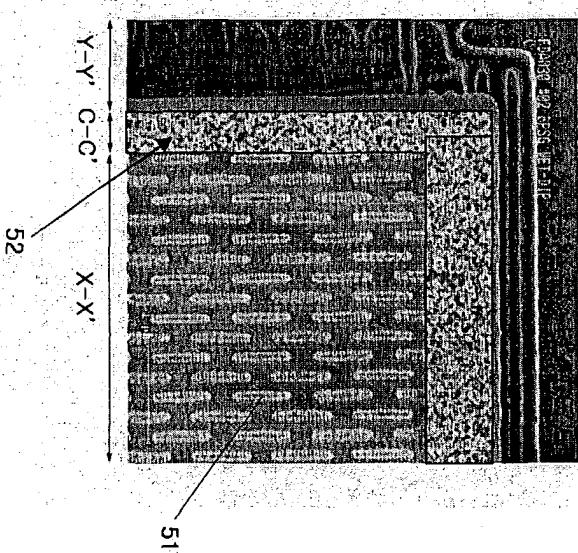
1020020084502

출력 일자: 2003/7/1

【도 5】



(a)



(b)